

## Roteiro do experimento 3 de Sistemas Digitais Experimental

### Introdução

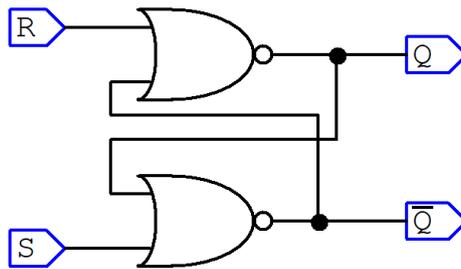
O terceiro experimento da disciplina de Sistemas Digitais Experimental está relacionado aos circuitos digitais sequenciais. Estes circuitos tem como diferencial a capacidade de memorizar a informação. Serão construídos circuitos do tipo Latch e Flip-Flop.

### Objetivos

Este experimento tem como objetivos familiarizar os alunos com o funcionamento dos circuitos digitais sequenciais, mais especificamente os Latch e os Flip-Flops.

### Fundamentação

Os latches são os dispositivos lógicos sequenciais mais básicos, utilizam o princípio da realimentação para armazenar 1 bit, veja a figura a seguir.



Circuito do latch RS.

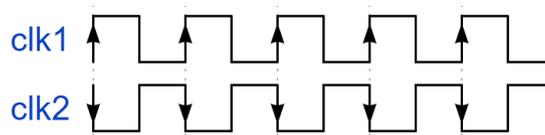
Observe a tabela verdade deste circuito apresentada a seguir.

Tabela verdade do latch RS

Entradas		Saídas	
R	S	Q	$\bar{Q}$
0	0	Não muda	
0	1	1	0
1	0	0	1
Evitar ->	1	1	0

A diferença do comportamento dos circuitos sequenciais e dos circuitos combinacionais pode ser observada nesta tabela. Quando as entradas R e S estão em zero a saída permanece com o estado anterior, ou seja, não muda. Isso significa que para uma entrada  $R = 0$  e  $S = 0$  a saída Q pode permanecer em 1 ou em 0, dependendo de seu estado anterior, isso não acontecia em circuitos combinacionais.

Os latches possuem uma entrada de enable que é ativa por nível lógico, 0 ou 1. Em algumas situações este comportamento não é apropriado. Para estes casos foi desenvolvida uma nova categoria de circuitos com sinal de enable ativo apenas na borda de transição, ou seja, na passagem de 0 para 1 ou de 1 para 0. Este tipo de sinal é chamado de **clock**. A figura a seguir apresenta sinais típicos de clock destacando a borda de subida ou descida onde o sinal é ativo.



Sinais típicos de *clock*.

Um componente muito utilizado e que implementa este tipo de sinal de clock é o flip-flop D. Trata-se de um latch D em que a entrada de enable é substituída por um sinal de clock. A figura a seguir mostra a implementação de um flip-flop D com portas lógicas.

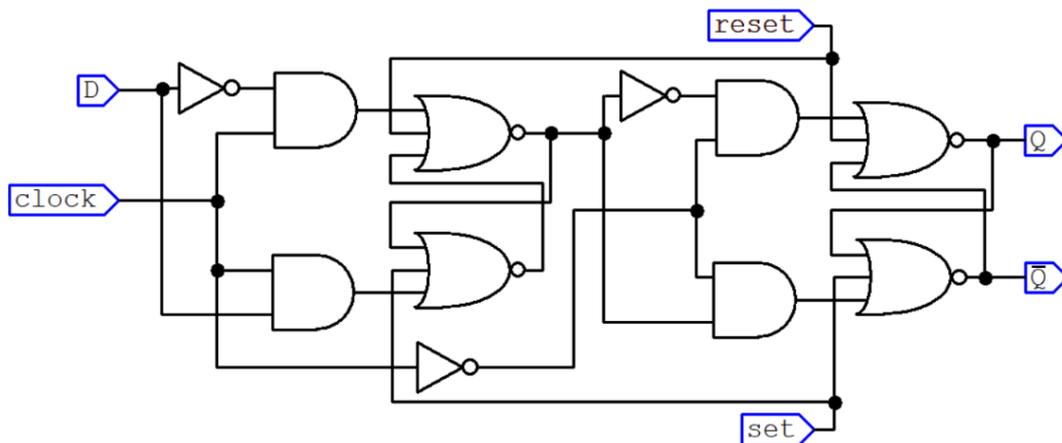


Figura 1 - Circuito de um flip-flop tipo D.

Observando este circuito podemos notar que o flip-flop D é composto por 2 latches D ligados em série, com os sinais de enable interligados através de uma porta inversora.

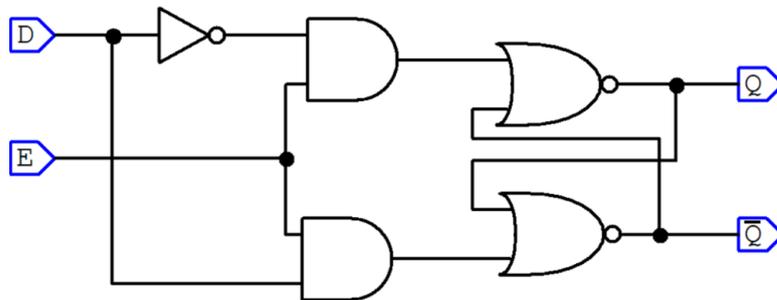
Veja na tabela verdade a seguir o comportamento deste circuito.

Entradas		Saídas	
<i>clock</i>	D	Q	$\bar{Q}$
0	X	Não muda	
1	X	Não muda	
↓	0	0	1
↓	1	1	0

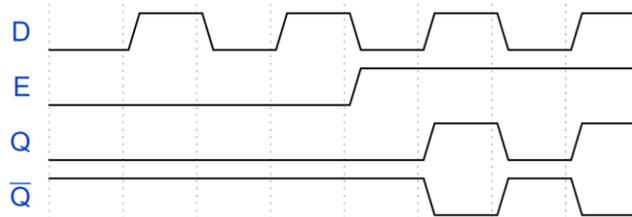
## Parte experimental

Construa no protoboard os circuitos sequenciais apresentados a seguir.

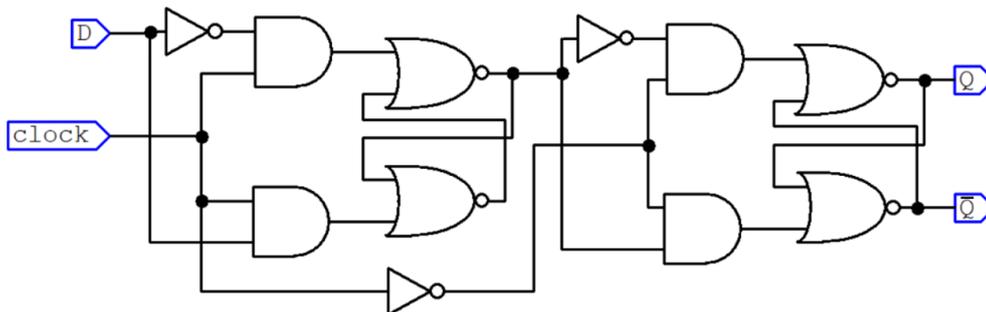
- 1) Construa o Latch D da figura a seguir e verifique seu funcionamento comparando os sinais encontrados com a tabela verdade e as formas de onda apresentadas a seguir. Para as entradas D e E utilize botões e para as saídas Q e  $\bar{Q}$  utilize LEDs.



Entradas		Saídas	
<i>Enable</i>	D	Q	$\bar{Q}$
0	X	Não muda	
1	0	0	1
1	1	1	0



- 2) Construa o Flip-Flop D da figura a seguir e verifique seu funcionamento comparando os sinais encontrados com a tabela verdade e as formas de onda apresentadas a seguir. Para as entradas D e clock utilize botões e para as saídas Q e  $\bar{Q}$  utilize LEDs.



Entradas		Saídas	
<i>clock</i>	D	Q	$\bar{Q}$
0	X	Não muda	
1	X	Não muda	
↓	0	0	1
↓	1	1	0

